

DRIVING CIRCUIT FOR LIQUID CRYSTAL PANEL

Patent Number: JP7147659
Publication date: 1995-06-06
Inventor(s): OGAWA YASUNORI
Applicant(s): NEC CORP
Requested Patent: ☒ JP7147659
Application Number: JP19930292912 19931124
Priority Number(s):
IPC Classification: H04N5/66 ; G09G3/36

jc515 U.S. PTO
09/523511

03/10/00

Abstract

PURPOSE: To provide a driving circuit for a liquid crystal panel which drives the whole liquid crystal panel when it displays the video signals of lower image resolution compared with the number of pixels of the liquid crystal panel.

CONSTITUTION: A timing control circuit 13 receives the horizontal and vertical synchronizing signals and produces the drive clocks for a data driver 11 and a gate driver 12. At this time, the circuit 13 changes the drive clock frequency between a valid video period and a flyback period. Namely, the drive clock frequency is set at a level higher in the flyback period than in the valid video period. As a result, the pixels are driven at a high speed in an area where the video signals are not displayed. Then the whole liquid crystal panel is driven.

.....
Data supplied from the esp@cenet database - i2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-147659

(43) 公開日 平成7年(1995)6月6日

(51) Int.Cl.⁵

H 0 4 N 5/66

G 0 9 G 3/36

識別記号

1 0 2 B

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平5-292912

(22) 出願日 平成5年(1993)11月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小川 康則

東京都港区芝五丁目7番1号 日本電気株式会社内

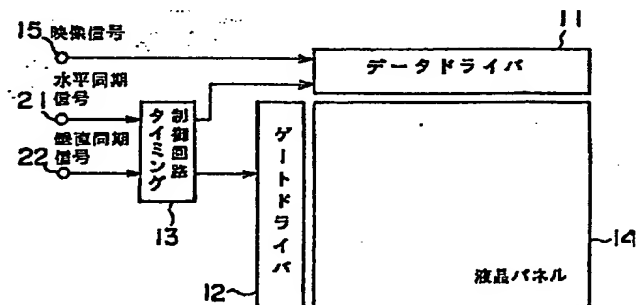
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 液晶パネル駆動回路

(57) 【要約】

【目的】 液晶パネルの画素数よりも解像度が低い映像信号を表示する際液晶パネル全体を駆動する。

【構成】 タイミング制御回路13では水平同期信号及び垂直同期信号を受け、データドライバ11及びゲートドライバ12に与える駆動クロックを生成する。この際、タイミング制御回路では駆動クロック周波数を有効映像期間と帰線期間とで切り換える。つまり、帰線期間においては駆動クロック周波数を有効映像期間における駆動クロック周波数より高くする。これによって、映像信号が表示されない領域の画素を高速で駆動して液晶パネル全体を駆動する。



【特許請求の範囲】

【請求項 1】 予め定められた画素数を有する液晶パネルに該画素数より解像度の小さい映像信号を表示する際に用いられ、前記映像信号は映像有効期間及び帰線期間を備えており、前記映像信号を受けデータ電圧を前記液晶パネルに与えるデータドライバと、前記液晶パネルにゲート電圧を与えるゲートドライバと、前記データドライバ及び前記ゲートドライバにそれぞれ駆動クロックを与えるタイミング制御手段とを有し、該タイミング制御手段は前記帰線期間において前記駆動クロックの周波数を前記映像有効期間における駆動クロック周波数よりも高くすることにしたことを特徴とする液晶パネル駆動回路。

【請求項 2】 請求項 1 に記載された液晶パネル駆動回路において、前記タイミング制御手段には前記映像信号の水平同期信号及び垂直同期信号が与えられ、前記タイミング制御手段は前記水平同期信号及び前記垂直同期信号に基づいて前記駆動クロックを生成するようにしたことを特徴とする液晶パネル駆動回路。

【請求項 3】 請求項 2 に記載された液晶パネル駆動回路において、前記帰線期間において前記データドライバには黒レベル信号が与えられるようにしたことを特徴とする液晶パネル駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶パネル駆動回路に関し、特に、液晶パネルを駆動するドライバー IC の駆動方式に関する。

【0002】

【従来の技術】 まず、図 4 を参照して液晶パネルについて概説する。

【0003】 図示のように液晶パネル 11 はパネル面 11a を備えており、このパネル面は複数の映像データ線（データ電極）D1 乃至 Dm（m は 2 以上の整数）及び走査線（ゲート電極）S1 乃至 Sn（n は 2 以上の整数）が備えられている。このような液晶パネル 11 として、例えば、横方向 1280 ドット、縦方向 1024 ドットの画素数を有する液晶パネルを駆動する際には、1280 本のデータ線及び 1024 本の走査線を必要とする。つまり、 $m=1280$ 及び $n=1024$ の液晶パネルを準備する必要がある。

【0004】 ここで、図 5 も参照して、データ電極 D1 乃至 Dm はデータドライバ（図示せず）に接続され、ゲート電極 S1 乃至 Sn はゲートドライバ（図示せず）に接続されており、データドライバ及びゲートドライバには駆動タイミング信号が与えられる。また、データドライバには映像信号が加えられる。上記の駆動タイミング信号は水平同期信号 Hsync 及び垂直同期信号 Vsync に基づいて生成される。そして、データドライバには駆動タイミング信号として駆動クロック SCLK が与えられ、

ゲートドライバには駆動タイミング信号として駆動クロック GCLK が与えられる。

【0005】 この結果、ゲート電極 S1 乃至 Sn には水平走査周期毎にゲート印加電圧が加えられ、ゲート電極 S1 乃至 Sn が順次一本ずつ選択されることになる。一方、データ電極 D1 乃至 Dm にはデータ電圧が一水平周期で印加される。つまり、データ電極 Di には一水平周期毎にデータ電圧 Di（i 番目のデータ電極の電圧）が印加されることになる。従って、上述のようにして選択されたゲート電極においてドットがデータ電圧に応じてパネル上に表示されることになる。

【0006】 ここで、図 6 及び図 7 を参照して、（横 1280 ドット）×（縦 1024 ドット）で構成された液晶パネル（図 6）に（横 1024 ドット）×（縦 768 ドット）の解像度を有する映像信号を表示する際には、入力映像信号の解像度が縦方向及び横方向ともに液晶パネルの画素数より小さいから、その表示画面には表示に関与しない領域ができてしまうことになる（図 7）。そして、液晶パネルとして所謂ノーマリーホワイト液晶パネル（電圧未印加時に画面がホワイトとなる液晶パネル）を用いた際には、パネル内には電圧未印加領域が生じるようになって、その領域が白となって、画面が見ずらくなる。

【0007】

【発明が解決しようとする課題】 このような不具合を防止するため、有効映像の表示に関与しない領域に黒レベルのデータ電圧を印加することがある。この際には、走査開始位置に復帰する時間、つまり、帰線期間に黒レベル表示のためのデータ電圧を印加することとなる。例えば、縦方向の余り領域 256 ラインの黒レベル表示を映像有効期間と同一の速度で行うと、その走査時間が不足して帰線期間内に余り領域に黒レベルのデータ電圧を印加できない。つまり、入力映像信号の帰線期間内に表示に関与しない領域の処理を行う必要があるが、従来の液晶パネル駆動回路では帰線期間内に処理を行うことが難しいという問題点がある。

【0008】 本発明の目的は液晶パネルの画素数よりも解像度が低い映像信号を表示する際液晶パネル全体を駆動することのできる液晶パネル駆動回路を提供することにある。

【0009】

【課題を解決するための手段】 本発明によれば、予め定められた画素数を有する液晶パネルに該画素数より解像度の小さい映像信号を表示する際に用いられ、前記映像信号は映像有効期間及び帰線期間を備えており、前記映像信号を受けデータ電圧を前記液晶パネルに与えるデータドライバと、前記液晶パネルにゲート電圧を与えるゲートドライバと、前記データドライバ及び前記ゲートドライバにそれぞれ駆動クロックを与えるタイミング制御手段とを有し、該タイミング制御手段は前記帰線期間に

において前記駆動クロックの周波数を前記映像有効期間における駆動クロック周波数よりも高くすることにしたことを特徴とする液晶パネル駆動回路が得られ、帰線期間の際には前記データドライバに黒レベル信号を与えることが望ましい。

【0010】

【実施例】以下本発明について実施例によって説明する。

【0011】図1を参照して、図示の液晶パネル駆動回路はデータドライバ11、ゲートドライバ12、及びタイミング制御回路13を備えており、これらデータドライバ11及びゲートドライバ12は前述のようにデータ電極及びゲート電極によって液晶パネル14に接続されている。データドライバ11は映像信号入力端子15に接続され、映像信号入力端子15から映像信号がデータドライバ11に与えられる。タイミング制御回路13には第1及び第2の入力端子21及び22が接続、第1及び第2の入力端子21及び22からそれぞれタイミング制御回路13に対して水平同期信号Hsync及び垂直同期信号Vsyncが与えられる。そして、タイミング制御回路13ではデータドライバ11及びゲートドライバ12に対してデータクロック信号SCLK及びゲートクロック信号GCLKを与える。

【0012】いま、液晶パネル14の画素数が（横1280ドット）×（縦1024ドット）である際、（横1024ドット）×（縦768ドット）の映像信号を液晶パネル14に表示する際の動作について説明する。

【0013】図2も参照して、前述のようにタイミング制御回路13には水平同期信号Hsync及び垂直同期信号Vsyncが与えられる。タイミング制御回路13は水平同期信号Hsync及び垂直同期信号Vsyncに基づいてデータクロック信号SCLK及びゲートクロック信号GCLKを生成する。つまり、映像有効期間においてはタイミング制御回路13はゲートクロック信号GCLKの周波数を入力映像信号のクロックレートと同一とする。即ち、タイミング制御回路13では映像有効期間においてゲートクロック信号GCLKの周波数を水平同期周波数（又は垂直同期周波数）と同一の周波数とする。一方、帰線期間においては、タイミング制御回路13はゲートクロック信号GCLKの周波数を予め設定された高速周波数とする（この高速周波数>水平同期周波数である）。同様にして、タイミング制御回路13では映像有効期間においてデータクロック信号SCLKの周波数を水平同期周波数と同一の周波数とする。一方、帰線期間においては、タイミング制御回路13はデータクロック信号SCLKの周波数を予め設定された高速周波数とする（この高速周波数>水平同期周波数である）。この際、帰線期間においては映像信号として黒レベルがデータドライバ11に与えられる。

【0014】上述のようにしてタイミング制御回路13によってデータクロック信号SCLK及びゲートクロック信号GCLKの周波数を制御することによって、映像有効期間においてはデータドライバ11では、例えば、データ線D1からデータ電圧を1行目、2行目、…の順に出力して映像信号の表示が行われる。一方、帰線期間においては、データクロック信号SCLK及びゲートクロック信号GCLKの周波数が高速とされるとともに映像信号として黒レベルがデータドライバ11に与えられる。この結果、映像を表示しない領域に黒が表示されることになる。つまり、図3に示すように液晶パネル14に映像及び黒レベルが表示されることとなる（なお、図3において、白色の領域は映像表示部分を表し、黒色部分は黒レベル表示を表す）。

【0015】このように、横方向及び縦方向ともに映像非有効期間（帰線期間）においてそれぞれのドライバの駆動クロックを高速にして映像信号として黒レベルを供給するようにしたから、液晶パネルの画素数より少ない解像度の入力映像信号を液晶パネル上に表示する際液晶パネルの全画素を駆動することができ、その結果、自然な表示を行うことができる。

【0016】

【発明の効果】以上説明したように本発明では液晶パネルの画素数より少ない解像度の入力信号を表示する際液晶パネルの全画素を駆動するようにしたから自然な表示を行うことができ、違和感を取り除くことができるという効果がある。

【図面の簡単な説明】

【図1】本発明による液晶パネル駆動回路の一実施例を説明するためのブロック図である。

【図2】図1に示すタイミング制御回路の動作を説明するための信号図である。

【図3】本発明による液晶パネル駆動回路を用いた際の液晶パネルの表示例を示す図である。

【図4】液晶パネルの構成を説明するための図である。

【図5】従来の液晶パネル駆動回路の動作を説明するための信号図である。

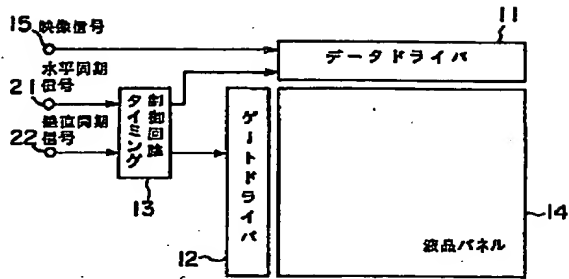
【図6】（横1280ドット）×（縦1024ドット）の液晶パネルを示す図である。

【図7】従来の液晶パネル駆動回路を用いた際の液晶パネルの表示例を示す図である。

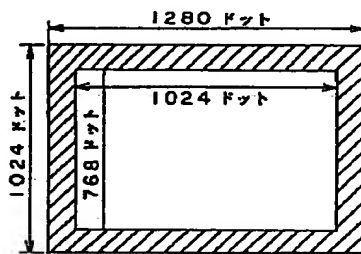
【符号の説明】

- 11 データドライバ
- 12 ゲートドライバ
- 13 タイミング制御回路
- 14 液晶パネル
- 15 映像信号入力端子
- 21 第1の入力端子
- 22 第2の入力端子

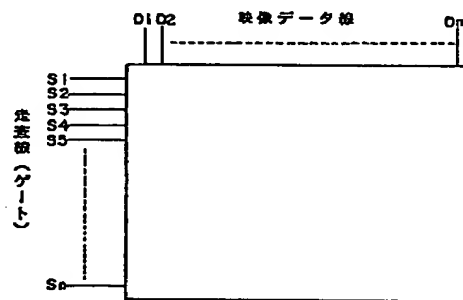
【図1】



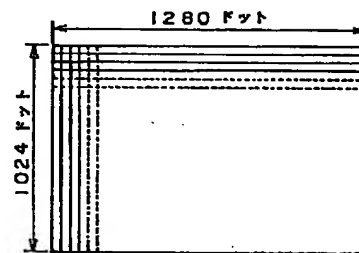
【図3】



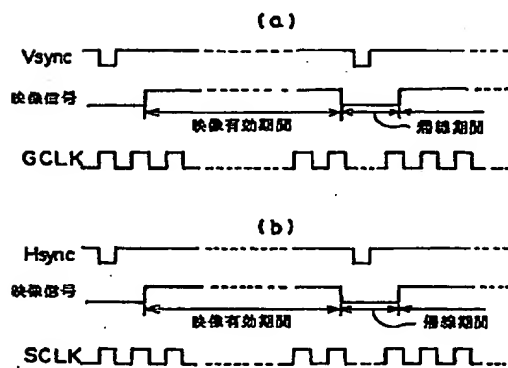
【図4】



【図6】



【図5】



【図7】

